



طراحی مدار اصلاح ضریب توان فاقد پل بر مبنای مبدل سپیک

نویسنده اول: علیرضا الله گانی^۱، نویسنده دوم: دکتر سید مهدی بهاری زاده^{۲*}، نویسنده سوم: دکتر محمد حسین ارشادی^۳،

* نویسنده مسئول: دکتر سید مهدی بهاری زاده

چکیده

در این مقاله یک مبدل ac-dc تکفاز فاقد پل جدید با اصلاح ضریب توان ارائه گردیده است. یکسوکننده ارائه شده، توپولوژی آن با بهره گیری از دو سوئیچ دو طرفه و دو دیود سریع می باشد. نبود پل دیود در ورودی و حضور تنها یک دیود در طول هر کلید زنی باعث کاهش تلفات و بهبود کنترل حرارت در مقایسه با مبدل های (اصلاح ضریب توان) موجود می باشد. مزیت های دیگر این مبدل عبارتند از: مدار کنترل کننده ساده، کاهش استرس ولتاژ سوئیچ و تاثیر کمتر امواج الکترو مغناطیس میباشد. مقایسه ای انجام شده بین مبدل پیشنهادی و مبدل sepic pfc متداول. شبیه سازی و نتایج بدست آمده در این مقاله استفاده از این مبدل را فراهم می کند.

واژه های کلیدی

مبدل فاقد پل، حالت جریان ناپیوسته، اصلاح ضریب توان، مبدل اندوکتانس ورودی یک طرفه، اعوجاج هارمونیک کل.

۱- دانشجوی کارشناسی ارشد، دانشکده برق و کامپیوتر، دانشگاه آزاد خمینی شهر

۲- استادیار، دانشکده برق و کامپیوتر، دانشگاه آزاد خمینی شهر

۳- استادیار، دانشکده برق و کامپیوتر، دانشگاه آزاد خمینی شهر

مقدمه :

ساختارهای فاقد پل اغلب بر مبنای مبدل Boost

ارائه گردیده اند که مهمترین معایب آن عبارتند از:

- بالاتر بودن ولتاژ خروجی نسبت به پیک

ولتاژ ورودی

- جریان هجومی راه اندازی بالا

- نیاز به محدود کننده جریان در شرایط اضافه بار

به منظور حل این مشکلات در این طرح ساختار

PFC فاقد پل بر مبنای مبدل SEPIC ارائه گردید.

در سال های اخیر ، تقاضا برای بهبود کیفیت

سیستم ac با توجه به سرعت افزایش وسایل الکترونیکی

افزایش یافته برای کاهش آلودگی هارمونیک در خطوط

برق و بهبود انتقال بازده ، مدار اصلاح ضریب توان pfc به

عنوان یک موضوع فعال در الکترونیک قدرت پژوهش

شد و تلاش های قابل توجهی در توسعه مبدل pfc انجام

شده [۴]-[۱] مدارات pfc در حال تبدیل شدن اجباری

در برق تکفاز به عنوان کیفیت توان دقیق تر

و ایجاد محدودیت های سخت روی اعوجاج هارمونیک کل

THD از جریان ورودی اعمال شده هستند. [۵]

مدارات اصلاح ضریب توان اکتیو نسبت به

مدارات اصلاح ضریب توان معمولی کاربردیتری

دارند چون مانند یک مقاومت خالص عمل میکند، که منجر

به نزدیکی بار به ضریب توان واحد می گردد. مدارات

اصلاح ضریب توان اکتیو به خوبی ساخته شده و در صنعت

امروزی آماده و توسعه پیدا کرده اند ، به دنبال استفاده

مبدل dc-d فرکانس بالا از قبیل buck, boost -

cuk, boost ، و مبدل flyback. این روش مناسب برای

طیف قدرت کم تا متوسط است. به علت اتلاف رسانش

افزایش ظرفیت های توان ، ساده تر شدن کنترل

و کاهش هزینه قطعات جدید نیمه رسانا در مقایسه با قطعاتی که

چند سال پیش ساخته می شدند، باعث شده است که مبدل ها

در کاربردهای بسیار زیاد و در ساختارهای گوناگون به کار

گرفته شوند.

در سالهای اخیر بهبود کیفیت توان سیستم های AC

با توجه به رشد تجهیزات الکترونیک قدرت اهمیت ویژه ای

یافته است به منظور کاهش هارمونیک خطوط توان و بهبود

راندمان خطوط انتقال ، مدارهای اصلاح ضریب توان امروزه

به شدت مورد توجه محققین الکترونیک قدرت قرار گرفته

است بخصوص در مدارهای تغذیه تکفاز استفاده از مدارهای

PFC بسیار اهمیت پیدا کرده است.

مدارهای PFC اکتیو رفتار بار را مشابه بار مقاومتی

خالص نموده و ضریب توان را به یک نزدیک می

نمایند در نتیجه هارمونیک جریان ورودی بسیار کاهش می

یابد. این مدارها معمولاً بر اساس مبدل های DC-DC

ساخته می شوند که مهمترین آنها عبارتند از مبدل های

Boost-Cuk-SEPIC.

در ساختارهای معمول مدارهای اصلاح ضریب

توان، معمولاً مبدل DC-DC در خروجی یک یکسو کننده

پل دیودی قرار می گیرد این گونه ساختارها برای توان های

پایین و متوسط متناسب است اما وقتی توان افزایش می یابد

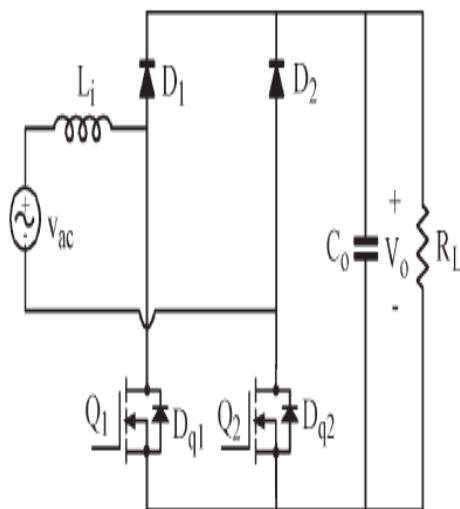
تلفات هدایتی ایجاد شده در پل دیودی به شدت افزایش می

یابد و راندمان کل سیستم را کاهش می دهد که برای رفع

آن لازم است از پل های دیودی با هزینه بالا تر استفاده شود.

به منظور حل این مشکل ساختارهای PFC فاقد پل

ارائه گردیده است.



شکل (۱) مبدل فاقد پل boost

تغییر توالی سوئیچ برای یکسوسازی به شرح

زیر است:

(۱) در طول سیکل مثبت V_{ac} ، هدایت Q_1-D_{q2} می

کنند.

(۲) در طول سیکل منفی V_{ac} ، Q_2-D_{q1} هدایت می

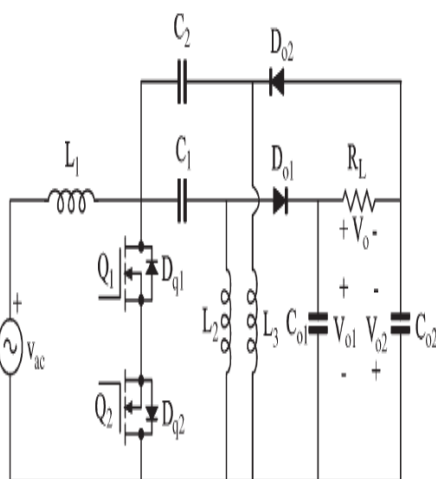
کنند.

بنابراین در طول هر دوره کلید زنی، جریان تغییر می کند از طریق سه نیمه هادی، و تلفات انتقال کل به طور قابل توجهی نسبت به مبدل pfc boost معمولی کاهش می یابد. این ویژگی شرکت های برق را برای استفاده از توپولوژی مدار pfc فاقد پل دنبال داشته.

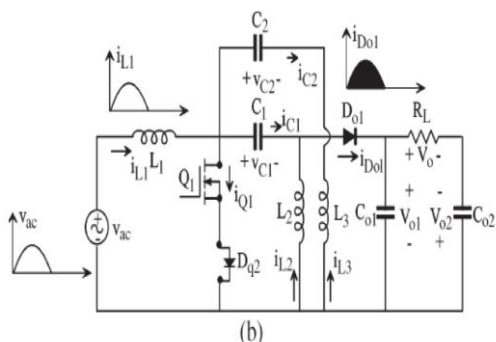
اگر چه مبدل فاقد پل boost خیلی ساده و محبوب است، اما همان اشکالات عمده عملی boost را دارد. این اشکالات شامل: ولتاژ خروجی dc بالا تر از پیک ولتاژ ورودی است و ایزوله کردن ورودی و خروجی به راحتی نمی تواند انجام گیرد و جریان هجومی راه اندازی بالا و به

الکتریکی بالا به خاطر افت ولتاژ، پل دیود شروع به کاهش بازده کل سیستم می کند و حرارت تولید شده توسط مبدل پل باعث آسیب زدن به دیود اختصاصی (فرد) می شود بنابراین استفاده از یک مبدل پل با قدرت راه اندازی بالا لازم می شود که مورد استفاده قرار گیرد این امر موجب افزایش اندازه و هزینه منبع تغذیه، که غیر قابل قبول برای یک طراحی کارآمد می باشد یکی دیگر از دلایل، تلفات بالای انتقال در مدارهای pfc فعال معمولی است با توجه به این واقعیت که در طول هر دوره سوئیچ زنی سه نیمه هادی قدرت در مسیر جریان همیشه وجود دارد (دو دیود بعلاوه یک سوئیچ فعال یا یک دیود بازگشت سریع).

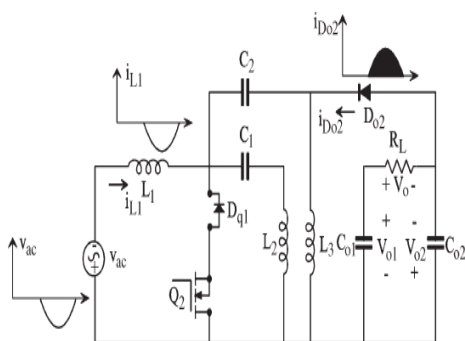
در تلاش برای بهبود بهره وری منبع تغذیه، یک نمونه از توپولوژی مدار اصلاح ضریب توان فاقد پل ارائه شده در [۷]. تمام توپولوژی های فاقد پل ارائه شده تا کنون مانند مدار boost اجزای شدند به دلیل هزینه پایین و عملکرد بالای آن از لحاظ بهره وری، ضریب توان و سادگی آن. در [۸] یک بررسی سیستماتیک از مبدل فاقد پل pfc boost پیاده سازی شده است که شماتیک ساده ای از مبدل pfc boost فاقد پل در شکل (۴) نشان داده شده است.



شکل (۲) مبدل فاکدپل **sepic** پیشنهادی



شکل (۳) دیاگرام جریان برای نیم سیکل مثبت



شکل (۴) دیاگرام جریان برای نیم سیکل منفی

عنوان یک کمبود محدود کننده جریان در شرایط اضافه بار است. بنابراین، این به خوبی شناخته شده است که با همان سیگنال **pwm**، کنترل مدار به طور قابل توجهی ساده است. عملیات مدار در طول نیم سیکل مثبت و منفی در شکل به ترتیب در شکل های (۳) و (۴) نشان داده شده است.

توجه داشته باشید که در طول هر سیکل سوئیچ زنی یک یا دو نیمه هادی در مسیر جریان وجود دارد، از این رو تلفات انتقال و همچنین تنش حرارتی در دستگاه های نیمه هادی و همچنین تنش حرارتی در دستگاه های نیمه هادی کاهش می یابد و کارایی مدار در مقایسه با مبدل فاکدپل **boost** بهبود یافته است. یکی دیگر از مزیت های دیگر این مبدل کاهش استرس ولتاژ در مقایسه با مبدل **sepic** معمولی است. از سویی دیگر اجزای مدار با مبدل **pfc** معمولی تفاوت دارند. ساختار مبدل پیشنهادی با بهره گیری از سه سلف، حجم مدار در اندازه کم باعث کاهش هزینه و علاوه بر این وضعیت (نزدیک به صفر) در پورت ورودی از مبدل می تواند بدون به خطر انداختن عملکرد مدار باشد. این وضعیت بسیار مطلوب است، به ویژه برای بهره برداری **DCM**، تولید نویز **EMI** کاهش می یابد، نیاز به فیلتر ورودی به طور چشمگیری کاهش میابد. در شکل (۲) مدار مبدل پیشنهادی را می بینید.

کند. در این مرحله، سه سلف به صورت خطی جریان را که متناسب با ولتاژ ورودی است را کاهش می دهند. این تناسب کاهش به صورت زیر است:

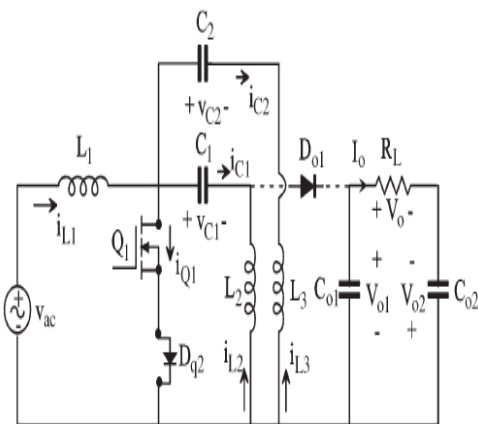
$$\frac{di_{ln}}{dt} = \frac{v_{ac}}{ln}, \quad n = 1, 2, 3 \quad (1)$$

باتوجه به شکل (۴-۵)، جریان سوئیچ برابر است با مجموع جریان های سه سلف، بنابراین، جریان پیک سوئیچ برابر:

$$I_{Q1pk} = \frac{V_m}{L_s} D1Ts \quad (2)$$

$$\frac{1}{L_s} = \frac{1}{L_1} + \frac{1}{L_2} + \frac{1}{L_3} \quad (3)$$

و D_1 سیکل وظیفه سوئیچ است. این فاصله زمان Q_1 هنگامی که خاموش است به پایان میرسد.



شکل (۵) حالت اول برای مبدل پیشنهادی در طول سیکل سوئیچینگ ts وصل است.

در ادامه به اصل عمل تجزیه و تحلیل نظری ارائه شده می پردازیم و تجزیه و تحلیل مفصل، مدل سازی و مقایسه ارائه شده را انجام می دهیم و با طراحی ساده به روش ونتایج شبیه سازی می پردازیم. ادامه تجزیه و تحلیل دقیق از مبدل پیشنهادی را فراهم میکنیم سرانجام نتایج را از یک نمونه آزمایشگاهی و نتیجه گیری هارا از بخش های ارائه شده بدست می آوریم.

طراحی و انجام مدار اصلاح ضریب توان

فاقد پل با مبدل sepic

تجزیه و تحلیل نظری ارائه شده از مبدل در طول یک دوره کلیدزنی به صورت زیر است: درنیم سیکل مثبت ولتاژ ورودی شبیه به مبدل sepic معمولی و مبدل cuk می باشد. DCM برای یکسو کننده پیشنهادی زمانی اتفاق می افتد که جریان از طریق دیود D_{01} کاهش می یابد و قبل از خاموش شدن سوئیچ به صفر می رسد.

۴- عملکرد مدار در یک سیکل سوئیچ زنی ts

را می توان به سه مرحله تقسیم کرد:

همان طور که در شکل (۳-۱) می بینید برای ساده کردن تحلیل مدار فرض بر آن است که مبدل در شکل (۴): ولتاژ از طرف (C_1) و (C_2) باید برابر ولتاژ ورودی v_{ac} شود. در یک مبدل sepic کاربرد، عملکرد مدار رادری یک سیکل کلیدزنی باتوجه به سه حالت زیر بررسی کردیم:

حالت ۱ (t_1, t_0) شکل (۵):

در این بازه زمانی سوئیچ Q_1 روشن است، روشن یا خاموش بودن Q_2 تاثیری در عملکرد مدار ندارد. بنابراین هر دو سوئیچ Q_1 و Q_2 توسط سیگنال کنترل یکسان می توانند تحریک شوند، که این امر به کاهش هزینه کمک می

حالت دوم $[t_1, t_2]$ شکل (۶):

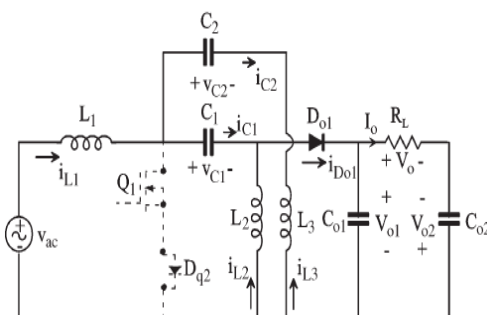
در این بازه زمانی، سوئیچ Q_1 خاموش است و دیود Do_1 روشن است. ارائه یک مسیر به صورت همزمان برای جریان های سه سلف. در این حالت، جریانهای سه سلف به صورت خطی افت پیدا میکنند در یک اندازه که متناسب است با ولتاژ خروجی V_{o1} . جریان سه سلف به صورت:

$$\frac{di_{ln}}{dt} = \frac{-v_{o1}}{Ln}, \quad n=1, 2, 3 \quad (4)$$

این فاصله زمانی به پایان میرسد که جریان دیود iDo_1 به سطح پایینی می رسد. اندازه نرمال این فاصله عبارت است:

$$D_2 = \frac{2v_{ac}D_1}{V_o} \Rightarrow D_2 = \frac{2D_1}{M} \sin \omega t \quad (5)$$

در اینجا $M = \frac{V_o}{V_m}$ نسبت تبدیل ولتاژ می باشد.



شکل (۶) حالت دوم برای مبدل پیشنهادی در طول سیکل سوئیچینگ ts سوئیچ خاموش است.

حالت سوم $[t_2, t_s]$ شکل (۷):

در این حالت، همه نیمه هادی ها در حالت خاموش هستند، نشان داده شده در شکل (۷-۱) سه سلف

مانند منبع جریان رفتار میکنند، که جریان را ثابت نگه می دارند. خازن های C_1 و C_2 شارژ و دشارژ می شوند به ترتیب توسط جریان های i_{L2} و i_{L3} ، در این حالت، ولتاژ سرتا سر سه سلف صفر است. در این حالت مدار پایدار است و فرضیات زیر در طول یک دوره سوئیچ زنی عبارتند از:

(۱) ولتاژ ورودی ایده ال در نظر گرفته می شود جهت اصلاح موج سینوسی، $v_{ac} = V_m \sin(\omega t)$ در اینجا V_m پیک نوسان و ω همان سرعت زاویه ای است.

(۲) همه اجزا ثابت هستند، در نتیجه بازده ماکزیمم است.

(۳) فرکانس سوئیچ زنی بیشتر از فرکانس خط ac است، به طوری که ولتاژ ورودی می تواند در طول یک دوره سوئیچینگ ثابت بماند.

(۴) همه خازن ها به اندازه کافی بزرگ هستند به طوری که رپل های ولتاژ سوئیچینگ آنها در طول دوره سوئیچ زنی جزئی است. علاوه بر این ولتاژ های خازن v_{c1} و v_{c2} از ولتاژ ورودی تابعیت می کند. در حالی که ولتاژ خروجی به طور مساوی بین خازن های CO_1 و CO_2 تقسیم شده است. توجه داشته باشید که فرض v_{c1} و v_{c2} همراه v_{ac} می تواند توجه شود با دو حلقه:

(vac, L1, C1, L2) and (vac, L1, C2, L3) که در شکل (۴) نشان داده شده. این دو حلقه به توپولوژی مبدل وابسته است. از آنجا که تغییر جریان سلف در طول یک سیکل سوئیچ زنی صفر است نتیجه می شود که میانگین ولتاژ حالت ثابت در تمام سلف ها باید در طول هر سوئیچ زنی برابر صفر باشد.

به عبارت دیگر، متوسط جریان خروجی در طول

یک سیکل خطی برابر است با:

$$I_o = \frac{v_o}{R_L} \quad (9)$$

از آنجا که انتگرال جریان خازن Co1 حالت دائم

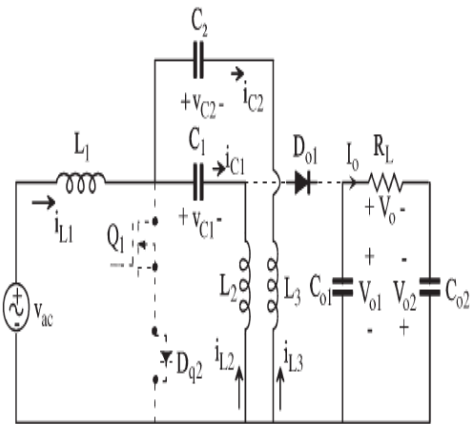
روی یک سیکل خطی صفر است، مقدار متوسط جریان

دیود در طول یک سیکل خطی برابر است با متوسط جریان

بار R_L . بنابراین با استفاده رابطه (۴-۸) و (۴-۹) نسبت تبدیل

ولتاژ مطلوب M برابر است با:

$$M = \sqrt{\frac{R_L}{2R_g}} = \frac{D1}{\sqrt{2k_g}} \quad (10)$$



شکل (۷) حالت DCM

تجزیه و تحلیل، مدل سازی، و مقایسه:

(۱) نسبت تبدیل ولتاژ M:

ضریب تبدیل ولتاژ M برابر است با $M =$

V_o/V_m در این مدار پارامتر هارمی توان پیدا کرد

با ارزیابی مقدار متوسط جریان دیود i_{D01} در طول

یک سیکل از ولتاژ ورودی:

$$I_{D01} = \frac{1}{T_l} \int_0^{T_l} i_{D01} dt \quad (6)$$

در اینجا T_l دوره تناوب ولتاژ خط است. از

شکل (۴-۸)، به طور متوسط جریان خروجی دیود روی یک

دوره سوئیچ زنی به صورت:

$$i_{D01} = \frac{D1^2 T_s v_{ac}^2}{L_g v_o} \Rightarrow i_{D01} = \frac{1}{T_s} \int_0^{T_s} i_{D01}(t) dt$$

باجای گذاری رابطه (۴-۶) در رابطه (۴-۵) داریم:

$$I_{D01} = \frac{vm^2}{2R_g v_o} \quad (7)$$

R_g مانند مقاومت ورودی مبدل است و برابر است

با:

$$R_g = \frac{2l_g}{D1^2 t_s} \quad (8)$$

نتایج شبیه سازی

در این قسمت، نتایج شبیه سازی مبدل مورد نظر ارائه خواهد شد. پارامترهای مبدل شبیه سازی شده به شرح زیر می باشد:

مقدار مؤثر ولتاژ منبع ورودی: $V_{rms}=30(V)$

فرکانس منبع ورودی: $F=50(Hz)$

$L1=1(mH)$

$L2=L3=100(uH)$

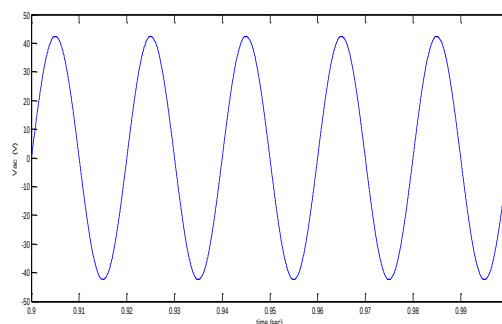
$C1=C2=0.8(uF)$

$Co1=Co2=440(uF)$

$RL=660(ohm)$

فرکانس کلیدزنی: $F_{sw}=50(KHz)$

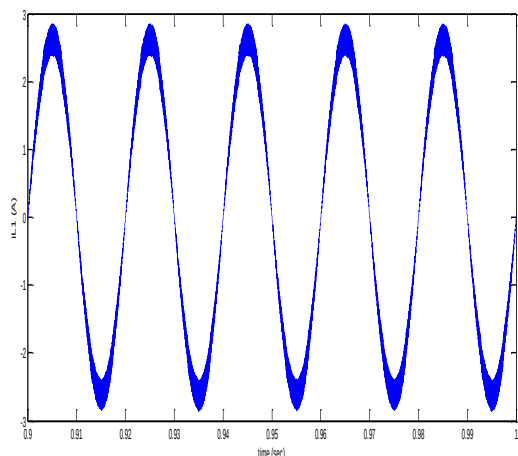
شکل موج ولتاژ منبع ورودی بصورت زیر خواهد بود:



شکل (۸) شکل موج ولتاژ منبع ورودی

همانطور که مشاهده می شود، ولتاژ منبع ورودی، سینوسی با مقدار مؤثر ۳۰ ولت و فرکانس ۵۰ هرتز می باشد.

شکل موج جریان منبع، که همان جریان سلف $L1$ است، بصورت زیر خواهد بود:



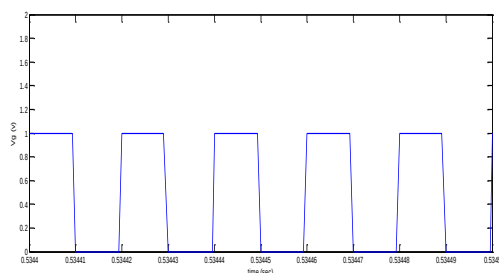
شکل (۹) شکل موج جریان منبع ورودی

همانطور که مشاهده می گردد، جریان ورودی با ولتاژ ورودی بطور کامل هم فاز بوده و فرآیند اصلاح ضریب توان بطور کامل انجام شده است.

شکل موج ولتاژ خروجی بصورت زیر خواهد بود:

همانطور که مشاهده می شود، ولتاژ خروجی DC در حدود ۱۸۰ ولت توسط مبدل ایجاد شده است.

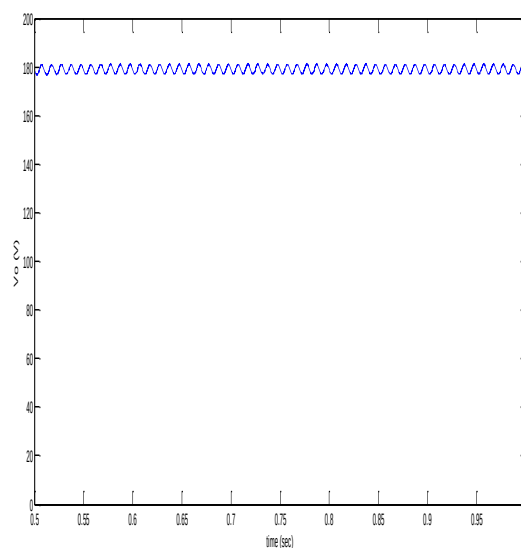
برای نشان دادن عملکرد مبدل در سیکل کلیدزنی، ابتدا سیگنال فرمان به سوئیچ ها در یک بازه زمانی دلخواه و مشخص نشان داده می شود:



شکل (۱۰) سیگنال فرمان به سوئیچ ها

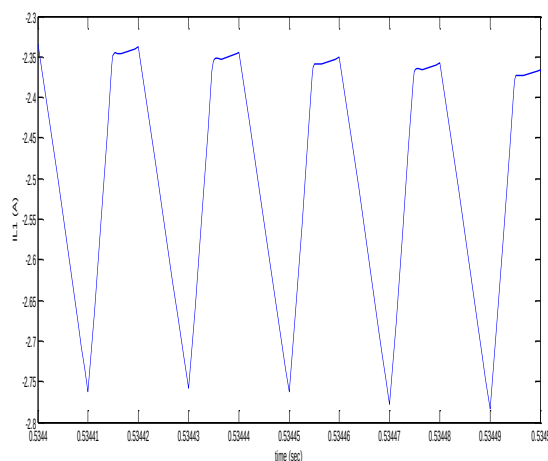
همانطور که در این شکل مشاهده می شود، سوئیچها با فرکانس ۵۰ کیلوهرتز و سیکل وظیفه ۵۰ درصد قطع و

وصل می گردند. در این بازه زمانی، شکل موج ولتاژ ورودی بصورت زیر است:

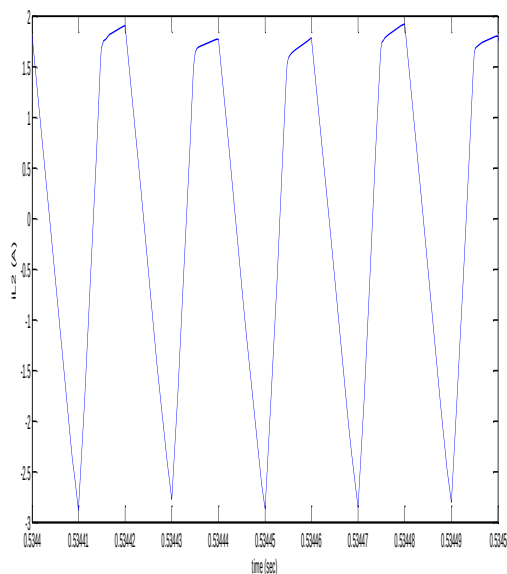


شکل (۱۱) شکل موج ولتاژ منبع ورودی در چند سیکل از کلیدزنی

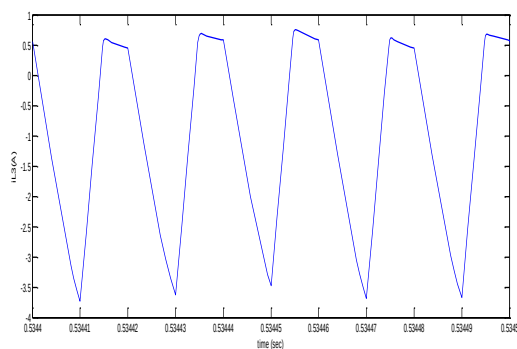
همانطور که مشاهده می گردد، در این بازه زمانی مورد نظر، ولتاژ ورودی در حدود منفی ۴۰ ولت می باشد. در این بازه زمانی، شکل موج جریان سلف های L1 و L2 و L3 بصورت زیر است:



شکل (۱۲) شکل موج جریان L1 در چند سیکل از کلیدزنی



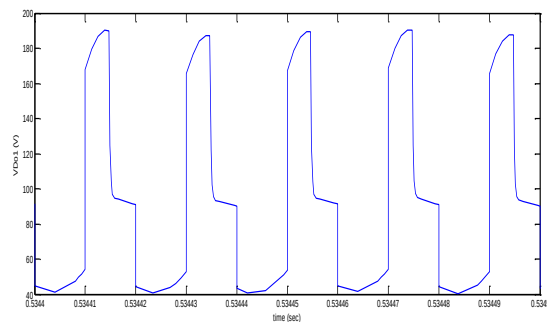
شکل (۱۳) شکل موج جریان L2 در چند سیکل از کلیدزنی



شکل (۱۴) شکل موج جریان L3 در چند سیکل از کلیدزنی

همانطور که مشاهده می گردد، در مدت زمان روشن بودن کلید، کلیه سلف ها به علت منفی بودن ولتاژ ورودی، در حال دشارژ می باشند. سپس سلف ها دارای شیب مثبت شده و شارژ می گردند و با قطع شدن کلیه سوئیچ ها و دیود های مربوطه، سلفها جریان تقریباً ثابتی پیدا می کنند.

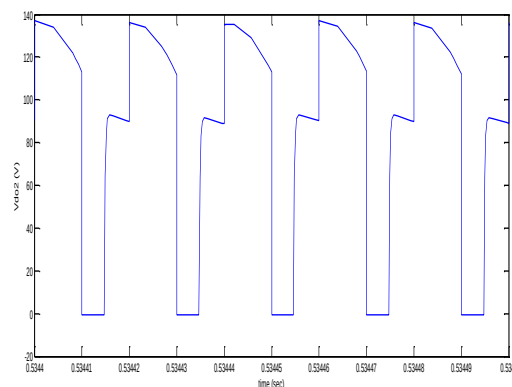
در این بازه زمانی، ولتاژ دو سر دیود Do1 بصورت زیر خواهد بود:



شکل (۱۵) ولتاژ دیود Do1

همانطور که در این شکل مشاهده می گردد، با وصل شدن سوئیچ، ولتاژ Do1 با $V_{ac} + V_0/2$ برابر است. با قطع شدن سوئیچها، دیود Do1 نیز قطع شده و ولتاژ آن با ولتاژ خروجی برابر خواهد شد. در نهایت، ولتاژ این دیود با نصف ولتاژ خروجی برابر خواهد شد. باید توجه داشت که چون ولتاژ منبع در نیم سیکل منفی خود است، این دیود هدایت نخواهد کرد.

در این بازه زمانی، ولتاژ دو سر دیود Do2 بصورت زیر خواهد بود:



شکل (۱۶) ولتاژ دیود Do ۲

همانطور که در این شکل مشاهده می گردد، با وصل شدن سوئیچ، ولتاژ Do2 با $-V_{ac} + V_0/2$ برابر است. با قطع شدن سوئیچها، دیود Do2 وصل شده و ولتاژ آن با صفر خواهد شد. در نهایت، ولتاژ این دیود با نصف ولتاژ خروجی برابر خواهد شد.

REFERENCES

مراجع:

[1] C.Qiao and K.M.Smedley, "A topology survey of single-stage power factor corrector with a boost type input –current-shaper," IEEE Trans. power Electron, vol.16, no.3, pp.360-368, May 2001.

[2] O.Gracia, j. A.Cobos, R.Prieto, and j.Uceda, "single phase power factor correction: A survey," IEEE trans. power electron, vol.18, no.3, pp.749-755, May 2003.

[3] M. M. Jovanovic and Y. Jang, "stage-of-the-art, single-phase, active power-factor-correction techniques for high power applications an overview," IEEE Trans. ind. electron, vol.52, no.3, pp.701-708, Jun. 2005.

[4] J.A. Villarajo, j. sebastian, F. Soto, and E. de jodar, "Optimizing the design-stage power-factor correctors," IEEE Trans. Ind. Electron., vol.54, no.3, pp.1472-1482, Jun. 2007.

[5] Limits for Harmonic current Emission (Equipment input current ≤ 16 A per phase), EMC Part 3-2, 3rd edition. IEC 61000-3-2, Nov. 2005.

[7] D.M. Mitchell, "AC-DC converter having an improved power factor," U.S. patent 4 412 277, Oct. 25, 1983.

[8] J.C. Salmon, "circuit topologies for single-phase voltage-doubler boost rectifier," in Proc. IEEE Appl. power Electron. conf, Mar. 1992, p. [6] R.W. Erickson and D. Maksimovic, Fundamentals of power electronics, 2nd ed. Norwell, MA: Kluwer, 2001.

p.549-556.

(۱) کتاب الکترونیک قدرت – رشید

(۲) کتاب الکترونیک قدرت – Hart

(۳) کتاب الکترونیک قدرت – مولف: هانس

بولر – ترجمه عزیز قدیری

(۴) حل مسائل الکترونیک قدرت موهان –

دکتر محمد حسین ارشادی – دکتر شاهرخ شجاعیان

-
- [9] D.Tollik and A.Pietkiewicz,
“comparative analysis of 1-phase active
power factor correction topologies,”in
proc.INTELEC,Oct.1992,pp.517-523.
- [10] P.N.Enjeti and R.Martinez, “A high
performance single phase AC to DC
rectifier with input power factor correction
,”in proc .IEEE Appl .power
Electron.conf.may 1993 ,pp.190-195.
- [11] A .F.Souza and I.Barbi, “A new ZVS
semiresonant high power factor rectifier
with reduced conduction losses,”IEEE
Trans .Ind Electron ,vol 46,no.1,pp.82-
90,feb.1999.